

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010082841 A**(43)Date of publication of application: **31.08.2001**(21)Application number: **1020000008320**

(71)Applicant:

LG.PHILIPS LCD CO., LTD.(22)Date of filing: **21.02.2000**

(72)Inventor:

JANG, YUN GYEONG

(51)Int. Cl

G02F 1/136(54) **LIQUID CRYSTAL DISPLAY**

(57) Abstract:

PURPOSE: A liquid crystal display is to secure nonuniformity of a large scaled liquid crystal display using a fluidic self assembly (FSA) technology and improve a yield of the display. CONSTITUTION: A switching area and a pixel area are defined in a substrate. A planarization layer is formed on the substrate and the substrate includes a groove in which a plurality of incline planes are formed. Gate interconnections(150a,150b) crossing across the groove horizontally are discontinuous at a vicinity of the groove. Data interconnections (160a,160b) crossing across the groove vertically are discontinuous at a vicinity of the groove. A nano block(200) is packaged in the groove and has side planes corresponding to the incline planes. At least one switching element and a plurality of pads(153,164) are formed on the top face. The plurality of pads applies a signal to respective switching elements. A connecting interconnection connects the nano block, the gate and data interconnections and one pad of one switching element. A pixel electrode(170) is in contact with the other pad of one switching element.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20050203)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20060613)

Patent registration number (1005919000000)

Date of registration (20060614)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)

(12) 공개특허공보 (A)

| | | |
|-----------------|----------------------------------|---------------|
| (51) Int. Cl. | (11) 공개번호 | 특2001-0082841 |
| G02F 1 /136 | (43) 공개일자 | 2001년08월31일 |
| (21) 출원번호 | 10-2000-0008320 | |
| (22) 출원일자 | 2000년02월21일 | |
| (71) 출원인 | 엘지.필립스 엘시디 주식회사 구본준, 론 위라하디락사 | |
| (72) 발명자 | 서울 영등포구 여의도동 20번지 장윤경 | |
| (74) 대리인 | 경기도군포시산본동백두동성아파트958-201 정원기 | |
| 심사청구 : | 없음 | |
| (54) 액정 표시장치 | | |

요약

본 발명은 화질이 우수한 대면적의 액정 표시장치를 제작하기 위해 스위칭 영역과 화소영역이 정의된 기판과; 상기 기판 상에 형성되고, 서로 대칭적인 다수의 경사면이 형성된 내장홈을 갖는 평탄화막과; 상기 내장홈을 가로방향으로 가로지르며, 상기 내장홈 부근에서 불연속인 게이트 배선과; 상기 내장홈을 세로방향으로 가로지르며, 상기 내장홈 부근에서 불연속인 데이터 배선과; 상기 경사면을 갖는 내장홈에 실장되고, 상기 내장홈의 경사면에 대응되는 측면을 가지며, 상부 면에 적어도 하나 이상의 스위칭 소자 및 각 스위칭소자에 신호를 인가하는 다수개의 패드가 형성된 나노블록과; 상기 나노블록과 인접한 상기 게이트 및 데이터 배선과 상기 나노블록의 일 스위칭 소자의 일 패드를 각각 연결하는 연결배선과; 상기 일 스위칭 소자의 타 패드와 접촉하는 화소전극을 포함하는 액정 표시장치용 어레이 기판을 개시한다.

대표도

도8

명세서

도면의 간단한 설명

- 도 1은 일반적인 액정 표시장치의 단면을 도시한 단면도.
도 2는 일반적인 액정 표시장치의 평면을 도시한 평면도.
도 3은 도 2의 절단선 III-III으로 자른 단면의 제작공정을 도시한 도면.
도 4는 본 발명에 따른 스위칭 소자가 집적된 나노블록의 개략적인 단면을 도시한 도면.
도 5는 본 발명에 따른 나노블록에 내장된 스위칭 소자의 단면을 도시한 도면.
도 6은 나노블록에 집적된 스위칭 소자의 등가회로를 도시한 도면.
도 7은 본 발명에 따른 나노블록이 내장될 내장홀의 단면을 도시한 도면.
도 8은 본 발명에 따른 액정 표시장치의 평면을 도시한 도면.
도 9a 내지 도 9d는 도 8의 절단선 IX-IX로 자른 단면의 제작공정을 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|-----------------|------------------|
| 152 : 게이트 콘택홀 | 153 : 게이트 패드 |
| 154 : 게이트 인출배선 | 156 : 게이트 패드 콘택홀 |
| 163 : 데이터 인출 배선 | 164 : 소스 패드 |
| 165 : 소스 콘택홀 | 166 : 드레인 패드 |
| 200 : 나노블록 | 100 : 박막 트랜지스터 |
| 300 : 내장홀 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시장치에 관한 것으로, 더욱 상세하게는 대면적 액정 표시장치의 제작에 있어서, 소자산포(fluidic self assembly : FSA)기술을 이용하여 제작되는 대면적 액정표시장치에 관한 것이다.

일반적으로, 액정 표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 액정은 구조가 가늘고 길기 때문

에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재는 반도체 공정을 이용하여 제작되는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정 표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목 받고 있다.

일반적으로 액정 표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

액정 패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 형성되어 있고, 상기 두 장의 기판(2, 4) 사이에 액정층(10)이 개재된 형태로 위치하고 있다.

상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 회로가 내장된 하부 기판(2)으로 구성된다.

상기 상부 기판(4)에는 색을 구현하는 컬러필터층(8)과, 상기 컬러필터층(8)을 덮는 공통전극(12)이 형성되어 있다. 상기 공통전극(12)은 액정(10)에 전압을 인가하는 한쪽전극의 역할을 한다. 상기 하부 기판(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극 역할을 하는 화소전극(14)으로 구성된다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 상기 상부 기판(4)과 하부 기판(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기판(4)과 하부 기판(2)의 가장자리에는 실란트(sealant : 6)로 봉인되어 있다.

상기 도 1에 도시된 하부 기판(2)의 평면도를 나타내는 도 2를 참조하여 하부 기판(2)의 작용과 구성을 상세히 설명하면 다음과 같다.

하부 기판(2)에는 화소전극(14)이 형성되어 있고, 상기 화소전극(14)의 수직 및 수평 배열 방향에 따라 각각 데이터 배선(24) 및 게이트 배선(22)이 형성되어 있다.

그리고, 능동행렬 액정 표시장치의 경우, 화소전극(14)의 한쪽 부분에는 상기 화소전극(14)에 전압을 인가하는 스위칭 소자인 박막 트랜지스터(S)가 형성되어 있다. 상기 박막 트랜지스터(S)는 게이트 전극(26), 소스 및 드레인 전극(28, 30)으로 구성되며, 상기 게이트 전극(26)은 상기 게이트 배선(22)에 연결되어 있고, 상기 소스 전극(28)은 상기 데이터 배선(24)에 연결되어 있다.

그리고, 상기 드레인 전극(30)은 상기 화소전극(14)에 통상적으로 콘택홀(미도시)을 통해 전기적으로 연결되어 있다.

상술한 능동행렬 액정 표시장치의 동작을 살펴보면 다음과 같다.

스위칭 박막 트랜지스터의 게이트 전극(26)에 전압이 인가되면, 데이터 신호가 화소전극(14)으로 인가되고, 게이트 전극(26)에 신호가 인가되지 않는 경우에는 화소전극(14)에 데이터 신호가 인가되지 않는다.

일반적으로 하부 기판의 제조공정은 만들고자 하는 각 소자에 어떤 물질을 사용하는가 혹은 어떤 사양에 맞추어 설계하는가에 따라 결정되는 경우가 많다.

예를 들어, 과거 소형 액정 표시장치의 경우는 별로 문제시되지 않았지만, 18인치 이상의 대면적, 고해상도(예를 들어

SXGA, UXGA 등) 액정 표시장치의 경우에는 게이트 배선 및 데이터 배선에 사용되는 재료의 고유 저항값이 화질의 우수성을 결정하는 중요한 요소가 된다. 따라서, 대면적/고해상도의 액정 표시소자의 경우에는 게이트 배선 및 데이터 배선의 재료로 알루미늄 또는 알루미늄 합금과 같은 저항이 낮은 금속을 사용하는 것이 바람직하다.

이하, 종래의 능동행렬 액정 표시장치의 제조공정을 도 3a 내지 도 3e를 참조하여 상세히 설명한다.

일반적으로 액정 표시장치에 사용되는 박막 트랜지스터의 구조는 역 스테거드(Inverted Staggered)형 구조가 많이 사용된다. 이는 구조가 가장 간단하면서도 성능이 우수하기 때문이다.

또한, 상기 역 스테거드형 박막 트랜지스터는 채널부의 형성 방법에 따라 백 채널 에치형(back channel etch : EB)과 에치 스타퍼형(etch stopper : ES)으로 나뉘며, 그 제조 공정이 간단한 백 채널 에치형 구조가 적용되는 액정 표시소자 제조공정에 관해 설명한다.

먼저, 기판(1)에 이물질이나 유기성 물질의 제거와 증착될 게이트 물질의 금속 박막과 유리기판의 접착성(adhesion)을 좋게 하기 위하여 세정을 실시한 후, 스퍼터링(sputtering)에 의하여 금속막을 증착한다.

도 3a는 상기 금속막 증착 후에 제 1 마스크로 패터닝하여 게이트 전극(30)과 스토리지 전극(32)을 형성하는 단계이다.

능동 행렬 액정 표시장치의 동작에 중요한 게이트 전극(30)에 사용되는 금속은 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제를 야기시키므로, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 적층구조가 적용되기도 한다.

상기 게이트 전극(30) 및 스토리지 전극(32) 형성후, 그 상부 및 노출된 기판 전면에 걸쳐 게이트 절연막(34)을 증착한다. 또한, 상기 게이트 절연막(34) 상에 연속으로 반도체 물질인 비정질 실리콘(a-Si:H)과 불순물이 함유된 비정질 실리콘(n⁺-a-Si:H)을 증착한다.

상기 반도체 물질 증착후에 제 2 마스크로 패터닝하여 액티브층(36)과 상기 액티브층과 동일 크기의 오믹 접촉층(ohmic contact layer : 38)을 형성한다(도 3b).

상기 오믹 접촉층(38)은 후후 생성될 금속층과 상기 액티브층(36)과의 접촉저항을 줄이기 위한 목적이다.

도 3c에 도시된 공정은 투명한 도전물질(Transparent Conducting Oxide : TCO)을 증착하고 제 3 마스크로 패터닝하여 화소전극(40)을 형성하는 공정이다. 상기 투명한 도전물질은 광 투과성이 우수한 ITO(Indium Tin Oxide)가 주로 쓰인다.

상기 화소전극(40)은 스토리지 전극(32)과 겹쳐지는 형태로 구성되며, 이는 상기 스토리지 전극(32)과 함께 스토리지 캐패시터를 형성하기 위함이다.

이후, 도 3d에 도시된 바와 같이 금속층을 증착하고 제 4 마스크로 패터닝하여 소스 전극(42) 및 드레인 전극(44)을 형성한다. 상기 드레인 전극(44)은 상기 화소전극(40)과 소정의 위치에서 접촉하도록 구성된다. 상기 소스 및 드레인 전극(42, 44)은 크롬(Cr) 또는 몰리브덴(Mo) 등의 단일 금속을 사용한다.

그리고, 상기 소스 및 드레인 전극(42, 44)을 마스크로 하여 상기 소스 전극(42)과 상기 드레인 전극(44) 사이에 존재하는 오믹 접촉층을 제거한다. 만약, 상기 소스 전극(42)과 상기 드레인 전극(44) 사이에 존재하는 오믹 접촉층을 제거하지 않으면 박막 트랜지스터(S)의 전기적 특성에 심각한 문제를 발생시킬 수 있으며, 성능에서도 큰 문제가 생긴다.

상기 오믹 접촉층(38)의 제거에는 신중한 주의가 요구된다. 실제 오믹 접촉층(38)의 식각시에는 그 하부에 형성된 액티브층(36)과 식각 선택비가 없으므로 액티브층(36)을 약 50 nm 정도 과식각을 시키는데, 식각 균일도(etching uniformity)는 박막 트랜지스터(S)의 특성에 직접적인 영향을 미친다.

최종적으로 도 3e에 도시된 바와 같이 절연막을 증착하고 제 5 마스크로 패터닝하여 액티브층(36)을 보호하기 위해 보호막(46)을 형성한다.

상기 보호막(46)은 액티브층(36)의 불안정한 에너지 상태 및 식각시 발생하는 잔류물질에 의해 박막 트랜지스터 특성에 나쁜 영향을 끼칠 수 있으므로 무기질의 실리콘 질화막(SiN_x) 내지는 실리콘 산화막(SiO₂)이나 유기질의 BCB(Benzocyclobutene) 등으로 형성한다.

또한, 상기 보호막(46)은 박막 트랜지스터(S)의 채널영역과 화소영역(P)의 주요 부분을 후속 공정시 발생 가능한 습기나 스크래치(scratch)성 불량으로부터 보호하기 위하여 높은 광투과율과 내습 및 내구성이 있는 물질을 증착한다.

상술한 공정에 의해서 액정 표시장치의 박막 트랜지스터 기판은 완성되게 된다.

발명이 이루고자하는 기술적 과제

상기와 같이 종래의 액정 표시장치의 경우에는 박막 트랜지스터 기판인 하판을 제조하기 위해 고온(약 300 °C 이상)에서 이루어지는 절연막 및 액티브층 공정을 거쳐야 하고, 이로 인해 기판(1)의 열 수축/팽창에 의한 변형이 발생할 수 있다. 이로 인해 박막 트랜지스터를 형성할 때, 미스-얼라인으로 인한 소자의 특성저하와 불량이 발생할 수 있는 단점이 있다.

상기와 같은 현상(기판의 열수축/팽창의 문제)은 기판(1)의 크기가 커지면 더욱더 심화된다.

즉, 다시 설명하면, 상기 박막 트랜지스터는 각 구성요소(게이트 전극, 게이트 절연막, 액티브층 등)마다 증착, 포토리소그라피(photo-lithography), 식각(etching)의 공정을 여러 번 반복한 결과로 형성되는데, 이러한 다수의 반복적인 공정은 배선의 단락과 단선 등을 유발할 수 있는 여러 조건들을 거치게 되고, 이러한 복잡한 공정이 행해지는 동안 상기 기판의 왜곡이나 소자의 디펙트(defect)와 같은 다수의 위험을 고려해야 한다.

또한, 현재 박막 트랜지스터의 액티브층으로 사용되는 비정질 실리콘은 그 전기적 특성상(이동도가 약 1 cm²/Vs) 대면적의 액정 표시장치에 적용하는데 문제가 있다. 즉, 이동도가 현저히 작기 때문에 상기 비정질 실리콘을 대면적의 액정 표시장치(약 20' 이상의 면적)의 스위칭 소자로 사용할 경우 잔상(residual image) 등의 화질저하를 가져올 수 있는 단점이 있다.

또한, 종래의 기술로 대면적의 액정 표시장치를 제작할 경우, 반도체 박막의 증착을 위한 고가의 CVD 장비를 별도로 도입해야 하기 때문에 제품 원가가 상승하는 문제점이 있다.

상기와 같은 문제점을 해결하기 위해 본 발명에서는 화질의 특성저하를 방지하고, 제작공정이 용이한 대면적의 액정 표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해 본 발명에서는 스위칭 영역과 화소영역이 정의된 기판과; 상기 기판 상에 형성되고, 서로 대칭적인 다수의 경사면이 형성된 내장홈을 갖는 평탄화막과; 상기 내장홈을 가로방향으로 가로지르며, 상기 내장홈 부근에서 불연속인 게이트 배선과; 상기 내장홈을 세로방향으로 가로지르며, 상기 내장홈 부근에서 불연속인 데이터 배선과; 상기 경사면을 갖는 내장홈에 실장되고, 상기 내장홈의 경사면에 대응되는 측면을 가지며, 상부 면에 적어도 하나 이상의 스위칭 소자 및 각 스위칭소자에 신호를 인가하는 다수개의 패드가 형성된 나노블록과; 상기 나노블록과 인접한 상기 게이트 및 데이터 배선과 상기 나노블록의 일 스위칭 소자의 일 패드를 각각 연결하는 연결배선과; 상기 일 스위칭 소

자의 타 패드와 접촉하는 화소전극을 포함하는 액정 표시장치용 어레이 기판을 제공한다.

또한, 본 발명에서는 기판과; 상기 기판 상에 형성된 게이트 배선 및 데이터 배선과; 상기 게이트 및 데이터 배선이 형성된 기판 상에 형성되고, 복수의 경사면을 갖는 내장홈이 형성된 평탄화막과; 상기 내장홈의 경사면과 대응하는 경사면을 갖고 상부에 게이트, 소스, 드레인 전극과 각 전극에 각각 연결된 패드를 갖는 트랜지스터가 형성된 나노블록과; 상기 나노블록 상에 형성되고, 상기 게이트 및 데이터 배선과, 상기 나노블록의 게이트, 소스, 드레인 패드가 각각 노출되도록 상기 보호막과 상기 평탄화막을 연통하여 형성된 게이트 콘택홀, 데이터 콘택홀, 게이트패드 콘택홀, 소스패드 콘택홀, 드레인패드 콘택홀이 형성된 보호막과; 상기 보호막 상에 형성되고, 상기 노출된 게이트 배선과 게이트패드를 연결하는 게이트 인출배선과, 상기 노출된 데이터 배선과 소스패드를 연결하는 데이터 인출배선과, 상기 노출된 드레인패드와 접촉하는 화소전극을 포함하는 액정 표시장치용 어레이 기판을 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 구성을 상세히 설명한다.

종래의 액정 표시장치와 비교해서 본 발명에 따른 액정 표시장치의 가장 큰 특징은 스위칭 소자를 별도의 제작공정을 통해 미리 제작한다는 것과 상기 미리 제작된 스위칭 소자를 소자산포기술(Fluidic Self Assembly ; FSA)을 통해 기판에 내장하는 것이다.

여기서, 별도로 제작된 스위칭 소자는 그 크기가 수십 μm 정도로 매우 미세하기 때문에 나노블록이라 칭한다. 상기 나노블록은 반도체 웨이퍼 상에 스위칭 소자를 형성하고, 추후에 개별적으로 절단하여 형성한다.

먼저, 상기 스위칭 소자로 사용되는 나노블록에 관해 설명하면 다음과 같다.

도 4는 본 발명에 따른 나노블록(200)의 단면을 도시한 단면도로서, 상기 나노블록(200)은 다수개의 스위칭 소자(박막 트랜지스터 ; 100)를 포함하며, 사다리꼴의 형상을 취한다.

상기 박막 트랜지스터(100)는 웨이퍼(50) 상에 형성되며, 그 상세 단면구조는 도 5에서 설명한다.

도 5는 상기 나노블록(200)에 형성된 박막 트랜지스터의 단면적인 구조를 도시한 단면도로서, 그 제작은 반도체 웨이퍼(wafer ; 50) 상에서 이루어진다.

상기 도 5에 도시된 박막 트랜지스터(100)를 일반적으로 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)라 부르며, 그 구성을 살펴보면 다음과 같다.

먼저, 웨이퍼(50)에는 불순물 반도체 영역(60)이 위치하고, 상기 불순물 영역(60)의 일부가 노출되는 절연막(52)이 상기 웨이퍼(50) 상에 형성된다.

그리고, 상기 불순물 영역(60)과 각각 접촉하는 소스 및 드레인 전극(56, 58)이 상기 절연막(52) 상에 위치하고, 상기 소스 및 드레인 전극(56, 58)의 사이에 게이트 전극(54)이 형성된다.

상기 반도체 웨이퍼(50)는 단결정 실리콘(C-Si) 또는 갈륨-아사니이드(GaAs) 등이 사용될 수 있으며, 상기 불순물 영역(60)은 상기 반도체 웨이퍼(50)에 불순물(원소주기율표 상의 3족 내지 5족의 원소인 붕소(B) 또는 인(P))을 주입하여 형성한다.

도 6은 상술한 나노블록(200)의 박막 트랜지스터(100)가 형성된 부분의 회로를 도시한 회로도로서, 4개의 박막 트랜지스터(100)가 상/하/좌/우의 대칭을 이루며 형성되어 있다.

상기 각 박막 트랜지스터(100)는 게이트 전극(54)과 소스 및 드레인 전극(56, 58)으로 구성되며, 상기 게이트 전극(54)은 두 개의 게이트 패드(54a, 54b)와 접촉하며, 상기 각 게이트 패드(54a, 54b)는 서로 대칭적인 구조를 취한다.

또한, 상기 소스 전극(56)은 데이터 패드(56a)와 접촉하며, 상기 드레인 전극(58)은 드레인 패드(58a)와 접촉한다.

그리고, 상기 드레인 패드(58a)를 일 전극으로 하는 스토리지 캐패시터(70)가 형성되며, 상기 스토리지 캐패시터(70)의 타 전극은 공통전극 패드(72)로 한다.

여기서, 상기 데이터 패드(56a)는 나머지 3개의 소스 전극(56)과 공통적으로 연결되며, 각각 따로 형성할 수 있을 것이다. 즉, 도 6에 도시된 나노블록(200)의 회로도에는 하나의 데이터 패드(56a)에 4개의 소스전극(56)이 각각 연결되어 있지만, 각각 4개의 데이터 패드와 각각 연결되게 소스 전극을 형성할 수 있을 것이다.

또한, 상기 공통전극 패드(70)는 각각 형성된 다수개의 스토리지 캐패시터와 공통적으로 접촉하고 있다.

상술한 나노블록(200)은 4개의 박막 트랜지스터(100)와 상기 각 박막 트랜지스터(100)의 소스 전극(56)에 신호를 인가하는 데이터 패드(56a)와 상기 드레인 패드(58a)에 연결된 스토리지 캐패시터(70)와 상기 스토리지 캐패시터(70)에 공통적으로 연결된 공통전극 패드(72)로 구성된다.

전기한바 있지만, 도 6에 도시된 나노블록의 회로도에 의하면, 4개의 박막 트랜지스터(100)는 한 개의 데이터 패드(56a)에 각각의 소스 전극(56)이 연결되어 있으며, 데이터 패드(56a)에 신호가 인가되면, 각각의 박막 트랜지스터(100)는 각 게이트 전극(54)의 신호인가에 따라 개별적으로 동작하게 된다.

한편, 상술한 다수개의 박막 트랜지스터와 스토리지 캐패시터가 형성된 나노블록을 기판에 배치하기 위한 FSA 기술을 설명하면 다음과 같다.

도 7은 상기 나노블록(200)이 안착될 기판(1)의 단면을 도시한 단면도이다.

스위칭 소자인 나노블록(200)을 배치하기 위해 기판(1)을 준비하고, 상기 나노블록(200)을 배치할 부분을 소정의 방법으로 식각하여, 상기 나노블록(200)이 안착되는 내장홈(300)을 형성한다. 이 때, 상기 내장홈(300)은 상기 나노블록(200)의 하부형태(즉, 사다리꼴 형상의 나노블록에서 그 길이가 작은 쪽)에 맞추어 제작된 것이다.

이와 같이 제작된 기판을 계면활성제가 함유된 유동액에 담그고, 상기 유동액에 잠긴 기판 상에 소정의 방법으로 나노블록(200)을 산포한다.

이 때, 상기 나노블록(200)이 상기 유동액을 따라 흐르다 기판(1)의 식각홈인 내장홈(200)에 안착되도록 함으로써, 기판(1)에 스위칭소자(즉, 나노블록)를 형성하게 된다.

상기와 같이 별도로 제작한 스위칭 소자인 나노블록(200)을 기판(1)에 형성된 내장홈(300)에 안착하는 기술을 소자산포기술(Fluidic Self Assembly ; FSA)이라 칭한다. 상기 소자산포기술에 관해서는 미국특허 '제 5904545'호에 개시되어 있다.

종래의 액정 표시장치의 제작공정에서는 화소전극이 형성되는 하판에 스위칭 소자인 박막 트랜지스터의 제작공정과 화소전극의 형성공정을 동일 기판에서 진행하였으나, 본 발명에서는 별도의 제작공정을 통해 스위칭소자를 제작한다.

본 발명에 따른 스위칭 소자인 나노블록의 제작은 일반적인 비정질 실리콘 박막 트랜지스터와 같은 3단자 소자로 그 역할은 상기 비정질 실리콘 박막 트랜지스터와 같은 스위칭 역할을 하며, 전기적 특성은 단결정 실리콘 또는 갈륨-아사나이드의 웨이퍼 상에서 제조되기 때문에 우수하다.

상술한 FSA 기술은 상기 나노블록(200)의 방향까지는 제어하지 못하게 된다.

따라서, 상기 나노블록(200)의 회로도인 도 6에 도시한 바와 같이 4개의 박막 트랜지스터(100)는 각각 대칭적인 구조를 취하도록 설계되며, 상기 각 박막 트랜지스터에 신호를 인가하는 데이터 패드, 게이트 패드 등의 단자들도 역시 대칭적인 구조를 갖게 된다.

또한, 상기 나노블록(200)의 회로구성은 특성에 맞도록 변경이 가능하며, 도 6에 도시된 회로도에는 한정되지 않는다.

하기 기술될 내용은 상술한 나노블록(200)과 이를 이용한 소자산포기술(FSA)을 통해 액정 표시장치를 제조하는 방법에 관한 것이다.

도 8은 본 발명의 실시예에 따른 액정 표시장치의 평면을 도시한 평면도이다.

도 8에 관해 설명하면, 세로방향으로 제 1 및 제 2 게이트 배선(150a, 150b)이 형성되고, 가로방향으로 제 1 및 제 2 데이터 배선(160a, 160b)이 형성된다. 상기 각 게이트 배선(150a, 150b)과 상기 데이터 배선(160a, 160b)이 교차하는 교차부에는 나노블록(200)이 위치하게 된다.

또한, 상기 나노블록(200)과 인접한 각 게이트 배선(150a, 150b)의 끝단에는 게이트 배선 콘택홀(152)이 형성되어 상기 나노블록(200) 내에 형성된 박막 트랜지스터(미도시)의 게이트 패드(156)와 연결된다. 그리고, 상기 제 1 게이트 배선(150a)과 상기 제 2 게이트 배선(150b)은 상기 나노블록(200) 내의 내부적으로 형성된 배선에 의해 서로 도통하게 된다.

또한, 상기 나노블록(200)과 인접한 각 데이터 배선(160a, 160b)의 끝단에는 데이터 배선 콘택홀(162)이 형성되어, 상기 데이터 배선(160a, 160b)의 끝단에 형성된 데이터 배선 콘택홀(162)을 통해 상기 데이터 배선(160a, 160b)과 데이터 인출 배선(163)을 통해 상기 나노블록(200)의 드레인 패드(164)와 연결된다.

그리고, 상기 제 1 데이터 배선(160a)과 상기 제 2 데이터 배선(160b)은 상기 나노블록(200) 내의 내부적으로 형성된 배선에 의해 서로 도통하게 된다.

상기와 같이 게이트 배선(150a, 150b)과 데이터 배선(160a, 160b)은 상기 나노블록(200)이 위치하는 부근에서 불연속적으로 형성된다.

그리고, 상기 불연속으로 형성된 게이트 및 데이터 배선은 게이트 인출배선(154) 및 데이터 인출배선(163)을 통해 상기 나노블록(200)과 연결되게 되는 것이다.

또한, 나노블록(200) 내에는 상기 박막 트랜지스터의 소스 전극(미도시)과 연결된 드레인 패드(166)가 형성되며, 상기 드레인 패드(166)와 접촉하는 화소전극(170)이 형성된다.

상술한 바와 같이 본 발명에 따른 액정 표시장치는 스위칭 소자로 사용되는 박막 트랜지스터를 블록의 형태로 제작한 나노블록(200)을 채용하여, 대면적의 액정 표시장치에 적용할 수 있는 장점이 있다.

도 9a 내지 도 9d는 도 8의 절단선 IX-IX로 자른 단면의 제작공정을 도시한 공정도로서, 먼저, 도 9a를 참조하여 제작공정을 살펴보면 다음과 같다.

이하의 설명에서는 제 1 및 제 2 게이트 배선(150a, 150b)과 제 1 및 제 2 데이터 배선(160a, 160b)의 구분 없이 게이트 배선(150) 및 데이터 배선(160)이라 하겠다.

도 9a는 기판(1) 상에 게이트 배선 및 데이터 배선(150, 160)을 형성하는 단계를 도시한 도면이다.

상기 게이트 배선(150)과 데이터 배선(160)은 크롬, 몰리브덴, 알루미늄, 텅스텐, 티타늄 등의 금속이 사용될 수 있으며, 각 배선(150, 160)은 동시에 형성된다.

도 9b는 상기 게이트 및 데이터 배선(150, 160)이 형성된 기판(1) 상에 평탄화막(180)을 형성하고, 패터닝하여 내장홀(300)을 형성하는 단계를 도시한 도면이다.

상기 내장홀(300)은 스위칭 소자인 박막 트랜지스터가 형성된 나노블록(미도시)이 안착될 장소이다.

상기 평탄화막(180)은 평탄화율이 우수하고, 저온에서 형성이 가능한 벤조사이클로뷰틴(benzocyclobutene ; BCB)을 사용

한다.

도 9c는 상기 내장홀(300)에 나노블록(200)을 채우는 단계를 도시한 도면이다. 상기 나노블록(200)을 상기 내장홀(300)에 형성하는 공정은 이미 상술한 바 있다.

이후, 상기 나노블록(200) 상부의 전면에 걸쳐 보호막(182)을 형성하는데, 이는 상기 내장홀(300)에 안착된 나노블록(200)이 탈거됨을 방지하고, 외부의 불순물로부터 상기 나노블록(200)을 보호하기 위함이다.

상기 보호막(182)은 상기 평탄화막(180)과 동일한 재질을 사용한다.

도 9d는 상기 보호막(182) 및 평탄화막(180)에 콘택홀(152, 156, 165, 162)을 형성하여, 상기 게이트 및 데이터 배선(150, 160)과 상기 나노블록(200)의 게이트 패드(152) 및 소스패드(164)와 게이트 인출배선(154) 및 데이터 인출배선(163)을 통해 연결하는 단계를 도시하고 있다.

즉, 상기 게이트 배선(150) 및 데이터 배선(160)의 상부 보호막(182) 및 평탄화막(180) 상에 게이트 콘택홀(152) 및 데이터 콘택홀(162)을 형성하고, 상기 나노블록(200)의 상기 게이트 패드(153) 및 소스패드(164) 상부에 게이트패드 콘택홀(156) 및 소스패드 콘택홀(165)을 각각 형성한다.

이후, 상기 콘택홀(152, 156, 165, 162)이 형성된 보호막(182) 상에 투명도전물질을 증착하고 패터닝하여, 상기 게이트 배선(150)과 상기 게이트 패드(153)을 연결하는 게이트 인출배선(154)과, 상기 데이터 배선(160)과 상기 소스패드(164)를 연결하는 데이터 인출배선(163)과, 도시되지는 않았지만 드레인 패드(166 ; 도 8 참조)와 연결되는 화소전극(170)을 각각 형성한다.

상술한 바와 같이 본 발명에 따른 액정 표시장치의 제조공정에서는 기판 상에 스위칭 소자를 형성하기 위한 반도체물질(주로, 비정질 실리콘)의 증착 및 절연막(주로, 실리콘 질화막)의 증착공정이 제외되기 때문에 낮은 공정온도에서 상기 액정 표시장치의 제작이 가능하다.

또한, 상기 소자산포 기술을 적용한 어레이기판의 공정온도는 최대 250도의 공정온도에서 행해짐으로 열에 의한 기판의 수축변형을 막을 수 있고, 사진식각 공정 중 상기 기판의 변형에 의해 노광기에서의 미스얼라인에 의한 소자의 특성변화가 없다.

그리고, 기존 액정 표시장치의 제조공정과 달리 스위칭 소자의 제조와 배선공정을 분리하여 제작할 수 있음으로, 생산설비의 단순화와 비용절감의 효과를 얻을 수 있다.

그리고, 작은 면적의 반도체 웨이퍼에 대량으로 스위칭 소자를 제작함으로써, 스위칭 소자의 균일한 전기적인 특성을 보장할 수 있다.

특히, 본 발명에 따른 소자산포기술로 액정 표시장치를 제작할 경우 대면적의 액정 표시장치에서 균일도를 확보할 수 있다.

발명의 효과

상술한 본 발명의 실시예로 액정 표시장치를 제작할 경우 다음과 같은 특징이 있다.

첫째, 기판 상에 스위칭 소자를 형성하기 위한 반도체물질(주로, 비정질 실리콘)의 증착 및 절연막(주로, 실리콘 질화막)의 증착공정이 제외되기 때문에 낮은 공정온도에서 액정 표시장치의 제작이 가능한 장점이 있다.

둘째, 소자산포 기술을 적용한 어레이기판의 공정온도는 최대 250도의 공정온도에서 행해짐으로 열에 의한 기판의 수축변형을 막을 수 있고, 사진식각 공정 중 상기 기판의 변형에 의해 노광기에서의 미스얼라인에 의한 소자의 특성변화가 없기 때문에 액정 표시장치의 생산 수율이 향상되는 장점이 있다.

셋째, 기존 액정 표시장치의 제조공정과 달리 스위칭 소자의 제조와 배선공정을 분리하여 제작할 수 있으므로, 생산설비의 단순화와 비용절감의 효과를 얻을 수 있는 장점이 있다.

넷째, 작은 면적의 반도체 웨이퍼에 대량으로 스위칭 소자를 제작함으로써, 스위칭 소자의 균일한 전기적인 특성을 보장할 수 있는 장점이 있다.

넷째, 본 발명에 따른 소자산포기술로 액정 표시장치를 제작할 경우 대면적의 액정 표시장치에서 균일도를 확보할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1. 스위칭 영역과 화소영역이 정의된 기판과;

상기 기판 상에 형성되고, 서로 대칭적인 다수의 경사면이 형성된 내장홈을 갖는 평탄화막과;

상기 내장홈을 가로방향으로 가로지르며, 상기 내장홈 부근에서 불연속인 게이트 배선과;

상기 내장홈을 세로방향으로 가로지르며, 상기 내장홈 부근에서 불연속인 데이터 배선과;

상기 경사면을 갖는 내장홈에 실장되고, 상기 내장홈의 경사면에 대응되는 측면을 가지며, 상부 면에 적어도 하나 이상의 스위칭 소자 및 각 스위칭소자에 신호를 인가하는 다수개의 패드가 형성된 나노블록과;

상기 나노블록과 인접한 상기 게이트 및 데이터 배선과 상기 나노블록의 일 스위칭 소자의 일 패드를 각각 연결하는 연결 배선과;

상기 일 스위칭 소자의 타 패드와 접촉하는 화소전극

을 포함하는 액정 표시장치용 어레이 기판.

청구항 2. 청구항 1에 있어서,

상기 평탄화막은 BCB인 액정 표시장치용 어레이 기판.

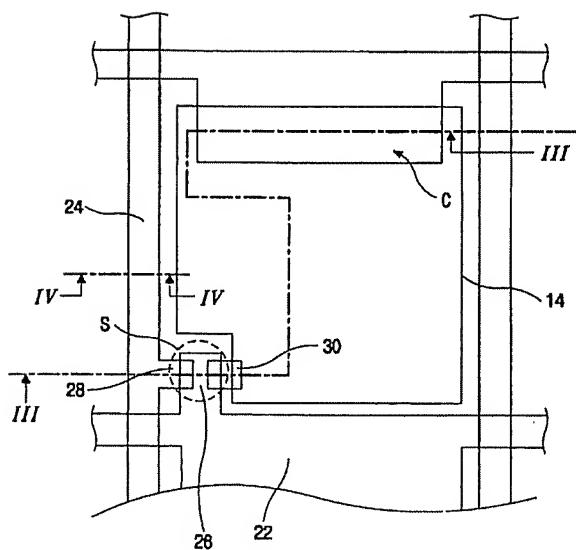
청구항 3. 청구항 1에 있어서,

상기 나노블록은 평면적으로 서로 대칭적인 다각형 형상인 액정 표시장치용 어레이 기판.

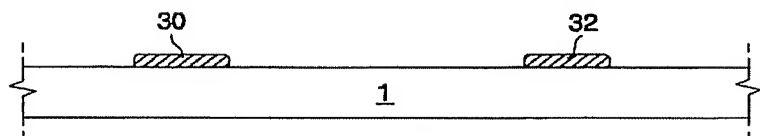
청구항 4. 기판과;

상기 기판 상에 형성된 게이트 배선 및 데이터 배선과;

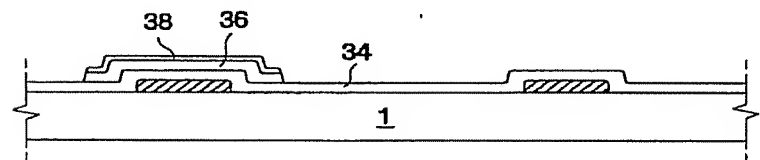
상기 게이트 및 데이터 배선이 형성된 기판 상에 형성되고, 복수의 경사면을 갖는 내장홈이 형성된 평탄화막과;



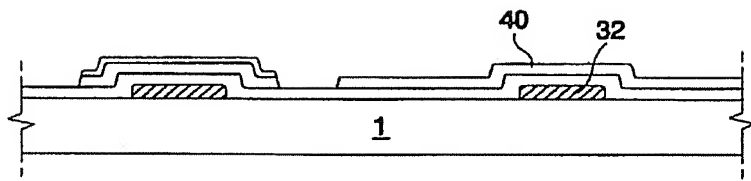
도면 3a



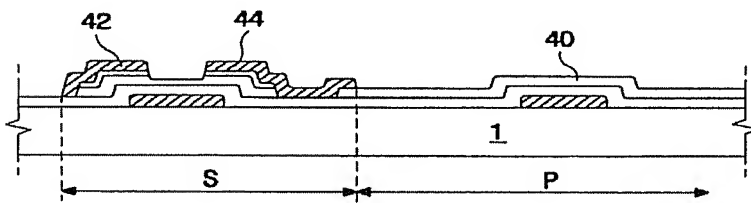
도면 3b



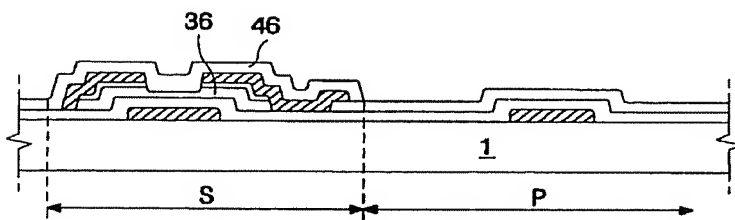
도면 3c



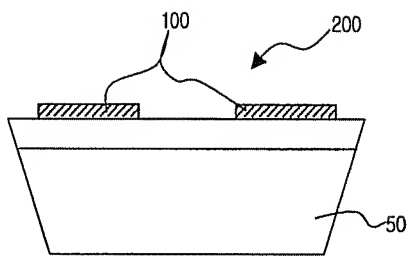
도면3d



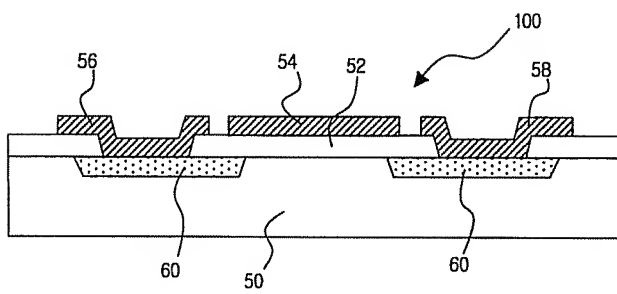
도면3e



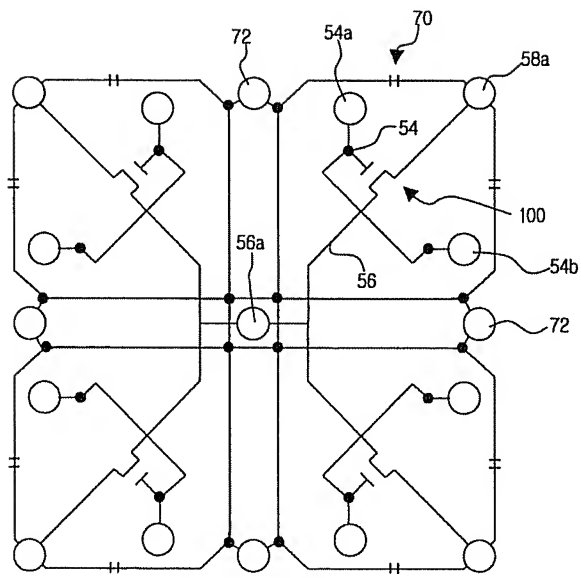
도면4



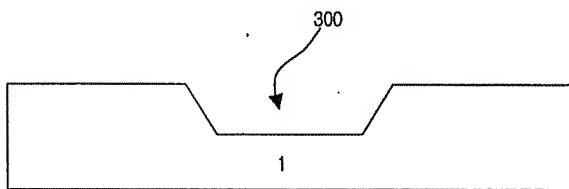
도면5



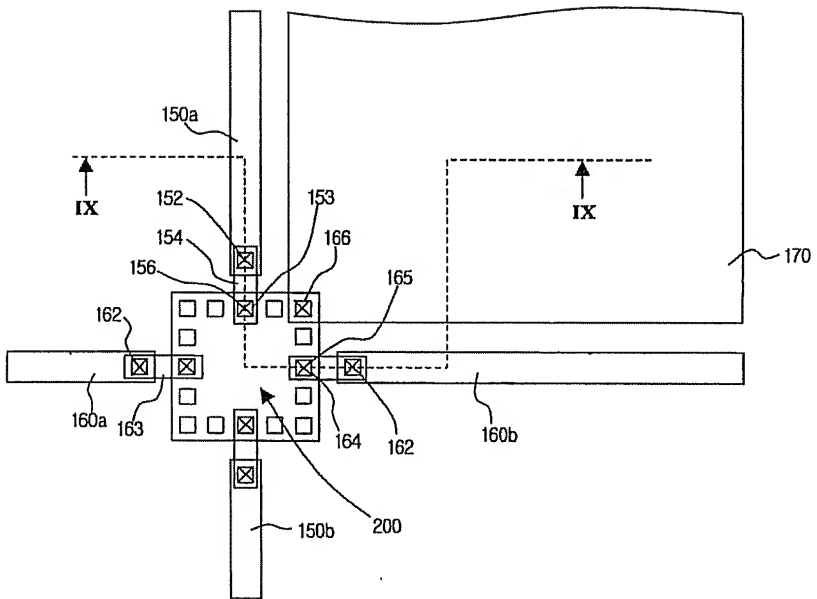
도면6



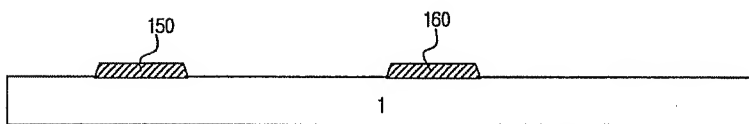
도면7



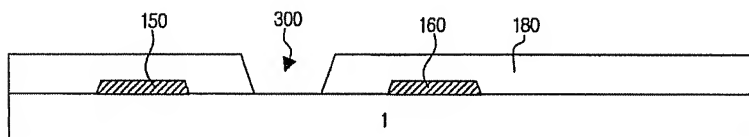
도면8



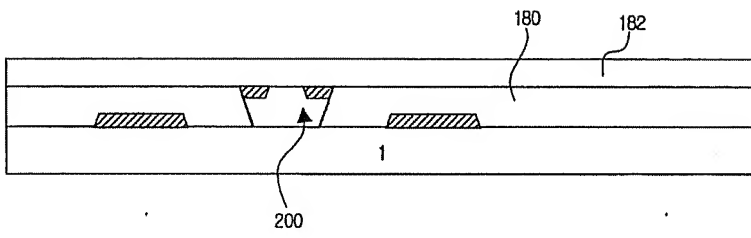
도면 9a



도면 9b



도면 9c



도면 9d

